

123
Docket No.: GR 98 P 1716

OLPE
AUG 09 1999
TRADEMARK OFFICE 0600

HA
I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Assistant Commissioner for Patents, Washington, D.C. 20231.

By: 

Date: August 4, 1999

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Patrick Heyne et al.
Appl. No. : 09/311,118
Filed : May 13, 1999
Title : Optimized-Delay Multiplexer

CLAIM FOR PRIORITY

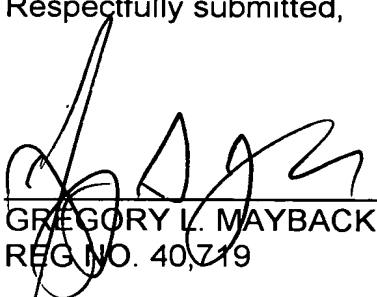
Hon. Commissioner of Patents and Trademarks,
Washington, D.C. 20231

Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119, based upon the German Patent Application 198 21 455.3 filed May 13, 1998.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,


GREGORY L. MAYBACK
REG NO. 40,719

Date: August 4, 1999

Lerner and Greenberg, P.A.
Post Office Box 2480
Hollywood, FL 33022-2480
Tel: (954) 925-1100
Fax: (954) 925-1101

/xdj

UNITED STATES DEPARTMENT OF AGRICULTURE

WASHINGTON, D. C.



OFFICE OF THE SECRETARY

Under authority of the Act of August 1, 1914, approved August 1, 1914, and the Act of March 3, 1907, approved March 3, 1907, the following is hereby published:

Order of the Secretary of Agriculture

That the following is hereby published:

Order of the Secretary of Agriculture

That the following is hereby published:

Order of the Secretary of Agriculture

That the following is hereby published:

Order of the Secretary of Agriculture

That the following is hereby published:

Order of the Secretary of Agriculture

That the following is hereby published:

Order of the Secretary of Agriculture

Beschreibung

Verzögerungsoptimierter Multiplexer

5 Die vorliegende Erfindung betrifft einen verzögerungsoptimierten Multiplexer aus wenigstens zwei Paßgliedern, die jeweils über einen ersten Zweig durch ein Steuersignal direkt und über einen zweiten Zweig durch das durch einen Inverter invertierte Steuersignal ansteuerbar sind.

10

Multiplexer und auch Demultiplexer werden gewöhnlich mit Tristateinvertern oder Paßgliedern oder Nandgattern realisiert. Tristateinverter sind dabei Inverter, die drei Zustände, nämlich "1", "0" und "high resistance" (hoher Widerstand) haben.

15

Fig. 3 zeigt ein Beispiel eines bestehenden Demultiplexers mit Paß- bzw. Transfergliedern 1, 2 und einem Inverter 3. Das Paßglied 1 besteht aus einem n-Kanal-MOS-Transistor 4 und einem p-Kanal-MOS-Transistor 5. Ebenso besteht das Paßglied 2 aus einem n-Kanal-MOS-Transistor 6 und einem p-Kanal-MOS-Transistor 7. Die Transistoren 4 und 5 liegen ebenso wie die Transistoren 6 und 7 jeweils parallel zueinander. Ein erstes Eingangssignal IN1 ist über die Source-Drain-Strecke der Transistoren 4, 5 geführt, während ein zweites Eingangssignal IN2 über die Source-Drain-Strecke der Transistoren 6, 7 geführt ist. Der Ausgang beider Paßglieder 1, 2 ist mit einem gemeinsamen Ausgangsknoten OUT verbunden. Die Gates der Transistoren 5, 6 sind durch ein Steuersignal C2 angesteuert, das einem Steuersignal CTRL entspricht. Weiterhin sind die

20

25

30

Gates der Transistoren 4, 7 durch ein Steuersignal C1 angesteuert, das über den Inverter 3 aus dem Steuersignal CTRL gewonnen ist. Das heißt, die Steuersignale C1 und C2 sind zueinander invertiert.

Ist bei dem in Fig. 3 gezeigten Demultiplexer das Steuersignal C1 auf "0", so ist der Transistor 4 geschlossen, während der Transistor 7 offen ist. Das Steuersignal C2 ist in diesem Fall auf "1", was bedeutet, daß der Transistor 5 geschlossen ist, während der Transistor 6 offen ist. Mit anderen Worten, bei einem Steuersignal CTRL mit "1" leitet das Paßglied 2, während das Paßglied 1 sperrt.

Die Einfügung des Inverters 3 führt bei der Schaltungsanordnung von Fig. 3 nun dazu, daß das Signal C1 in bezug auf das Signal C2 etwas verzögert ist, da es den Inverter 3 durchlaufen muß. Mit anderen Worten, bei der Schaltungsanordnung von Fig. 1 werden die Paßglieder 1, 2 jeweils unterschiedlich schnell angesteuert, was bei zeitkritischen Anwendungen des Multiplexers bzw. Demultiplexers nachteilhaft ist, da die Eingangssignale IN1 und IN2 infolge der zeitlich unterschiedlichen Ansteuerung mit der gleichen Verzögerung zum Ausgang OUT geliefert werden.

Es ist daher Aufgabe der vorliegenden Erfindung, einen verzögerungsoptimierten Multiplexer bzw. Demultiplexer zu schaffen, der auch bei zeitkritischen Anwendungen ein zeitsynchrones Ausgangssignal zu liefern vermag.

Diese Aufgabe wird bei einem verzögerungsoptimierten Multiplexer der eingangs genannten Art erfindungsgemäß dadurch gelöst, daß im ersten Zweig ein zusätzliches Paßglied vorgesehen ist, das die durch den Inverter bedingte Verzögerung nachbildet.

30

Der erfindungsgemäße verzögerungsoptimierte Multiplexer (bzw. Demultiplexer) verwendet also ein zusätzliches optimiertes Paßglied in dem Zweig des Steuersignales, in welchem kein Inverter vorgesehen ist. Durch dieses zusätzliche Paßglied wird die durch den Inverter zwangsläufig eingeführte Zeitverzöge-

rung nachgebildet, so daß die jeweiligen Steuersignale zeitgleich an den Paßgliedern ankommen.

Es hat sich auch gezeigt, daß sich Paßglieder generell als
5 "Schalter" besser eignen als Tristateinverter, wenn diese
über ein Prozeßfenster betrachtet werden. Tristateinverter
sind aktive bzw. verstärkende Schalter, bei denen sich Pro-
zeßschwankungen viel stärker auf die Schaltgeschwindigkeit
auswirken als auf "passive" Paßglieder. So ist bei einem
10 schwachen p-Kanal-FET die steigende Ausgangsflanke langsam,
während bei einem n-Kanal-FET dies die fallende Ausgangsflan-
ke ist. Das heißt, die Variation der aus einem Wafer gewonne-
nen Paßglieder ist geringer als prozeßbedingte Schwankungen
bei der Herstellung von Tristateinvertern.

15 Auch bedingt die Trägheit der Paßglieder beim Schalten die
Erzeugung eines gleichmäßig gegenüber dem Steuersignal verzö-
gerten Ausgangssignales, selbst wenn die einzelnen Steuersi-
gnale für die jeweiligen Paßglieder nicht genau zum selben
20 Zeitpunkt schalten.

Nachfolgend wird die Erfindung anhand der Zeichnungen näher
erläutert. Es zeigen:

25 Fig. 1 und 2 jeweils Schaltbilder von zwei Ausführungsbei-
spielen des erfindungsgemäßen Multiplexers und

Fig. 3 ein Schaltbild eines bestehenden Multiplexers.

In den Fig. 1 und 2 werden füreinander entsprechende Bauteile die gleichen Bezugszeichen wie in der Fig. 3 verwendet.

Fig. 1 zeigt ein zusätzliches Paßglied 8 im Zweig des Steuer-
 5 signales C2. Dieses zusätzliche Paßglied 8 besteht, wie die
 Paßglieder 1 und 2, aus einem n-Kanal-MOS-Transistor 9 und
 einem p-Kanal-MOS-Transistor 10. Gates dieser Transistoren 9
 und 10, die wie die Transistoren 4 und 5 bzw. 6 und 7 paral-
 10 lell zueinander liegen, sind mit Versorgungsspannungen VDD
 bzw. VSS beaufschlagt.

Das Paßglied 8 ist so bemessen bzw. "optimiert", daß seine
 Verzögerung der Verzögerung des Inverters 3 entspricht. Da-
 durch wird erreicht, daß die Signale C1 und C2, die aus dem
 15 Steuersignal CTRL gewonnen sind, gleichzeitig die Transisto-
 ren 4 bis 7 schalten, so daß auch bei zeitkritischen Anwen-
 dungen eine Gewinnung des Ausgangssignales am Ausgang OUT mit
 jeweils derselben Verzögerung gewährleistet ist.

20 Fig. 2 zeigt ein Ausführungsbeispiel, bei welchem nur ein
 Eingangssignal IN1 anliegt, das direkt zu dem Paßglied 1 und
 über einen weiteren Inverter 11 zu dem Paßglied 2 geführt
 ist.

25 Eine vorteilhafte Anwendung des erfindungsgemäßen Multiple-
 xers ist beispielsweise bei einem dynamischen Steuersi-
 gnal CTRL und eher statischen Eingangssignalen IN1, IN2 gege-
 ben, um beispielsweise ein ExOr-Glied mit konstanter Verzöge-
 rung des Steuersignales CTRL bis zum Ausgang OUT zu realisie-
 30 ren.

Patentansprüche

1. Verzögerungsoptimierter Multiplexer aus wenigstens zwei
Paßgliedern (1, 2), die jeweils über einen ersten Zweig
5 durch ein Steuersignal (C2) direkt und über einen zweiten
Zweig durch das durch einen Inverter (3) invertierte
Steuersignal (C1) ansteuerbar sind,
d a d u r c h g e k e n n z e i c h n e t ,
daß im ersten Zweig ein zusätzliches Paßglied (8) vorge-
10 sehen ist, das die durch den Inverter (3) bedingte Ver-
zögerung nachbildet.
2. Verzögerungsoptimierter Multiplexer nach Anspruch 1,
d a d u r c h g e k e n n z e i c h n e t ,
15 daß an jedem der wenigstens zwei Paßglieder (1, 2) ein
getrenntes Eingangssignal (IN1, IN2) anliegt.
3. Verzögerungsoptimierter Multiplexer nach Anspruch 1,
d a d u r c h g e k e n n z e i c h n e t ,
20 daß das eine der wenigstens zwei Paßglieder (1, 2) mit
einem Eingangssignal und das andere der wenigstens zwei
Paßglieder (2, 1) mit dem invertierten Eingangssignal
beaufschlagt ist.
- 25 4. Verzögerungsoptimierter Multiplexer nach einem der An-
sprüche 1 bis 3,
d a d u r c h g e k e n n z e i c h n e t ,
daß die Paßglieder (1, 2, 8) aus einem n-Kanal-MOS-
Transistor (4, 6, 9) und einem p-Kanal-MOS-Transi-
30 stor (5, 7, 10) bestehen, die parallel zueinander ge-
schaltet sind.

Zusammenfassung

Verzögerungsoptimierter Multiplexer

- 5 Die Erfindung betrifft einen verzögerungsoptimierten Multiplexer aus wenigstens zwei Paßgliedern (1, 2), die jeweils über einen ersten Zweig durch ein Steuersignal (C2) direkt und über einen zweiten Zweig durch das durch einen Inverter (3) invertierte Steuersignal (C1) ansteuerbar sind. Zusätzlich ist im ersten Zweig ein weiteres Paßglied (8) vorgesehen, das die durch den Inverter (3) bedingte Verzögerung nachbildet, so daß die Paßglieder (1, 2) zeitgleich schaltbar sind.

15 Fig. 1

Fig. 1

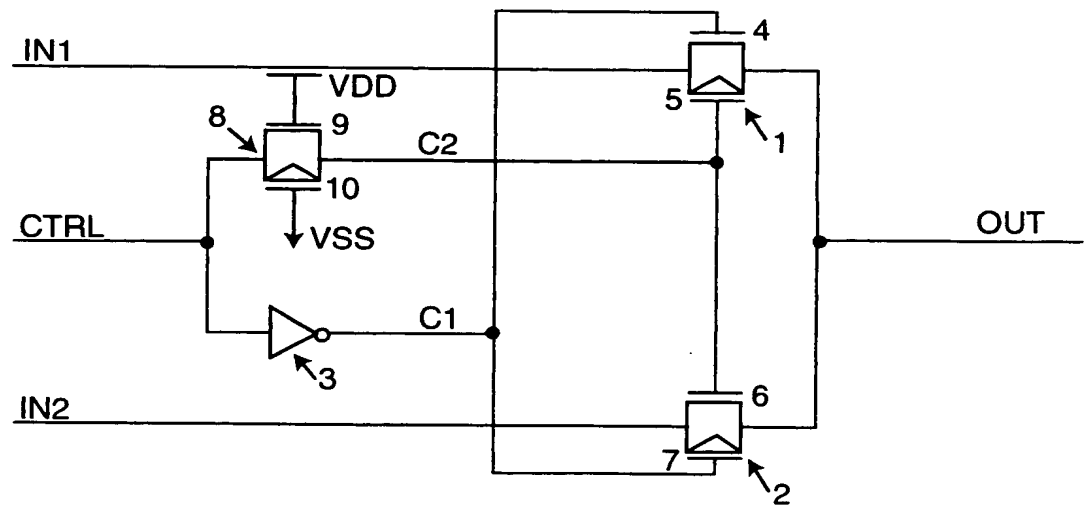


Fig. 2

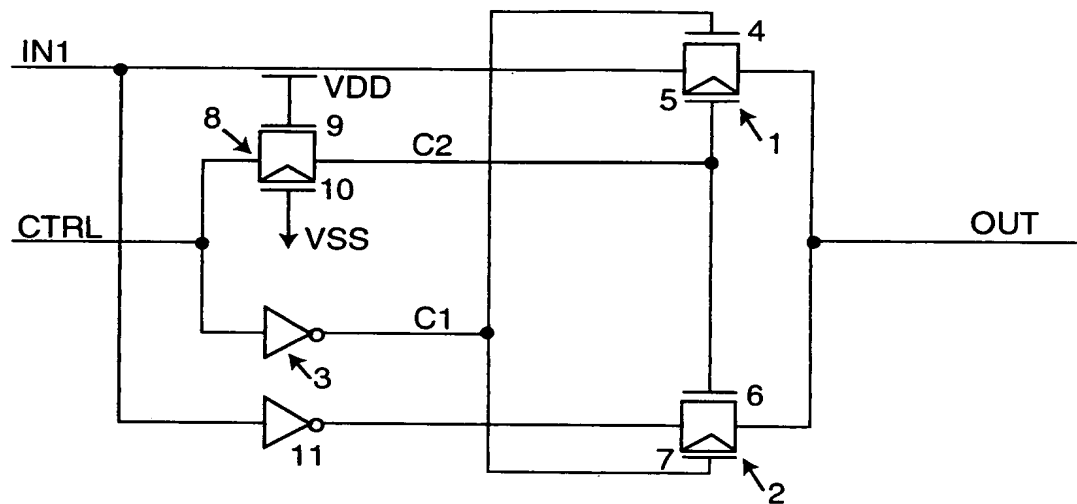
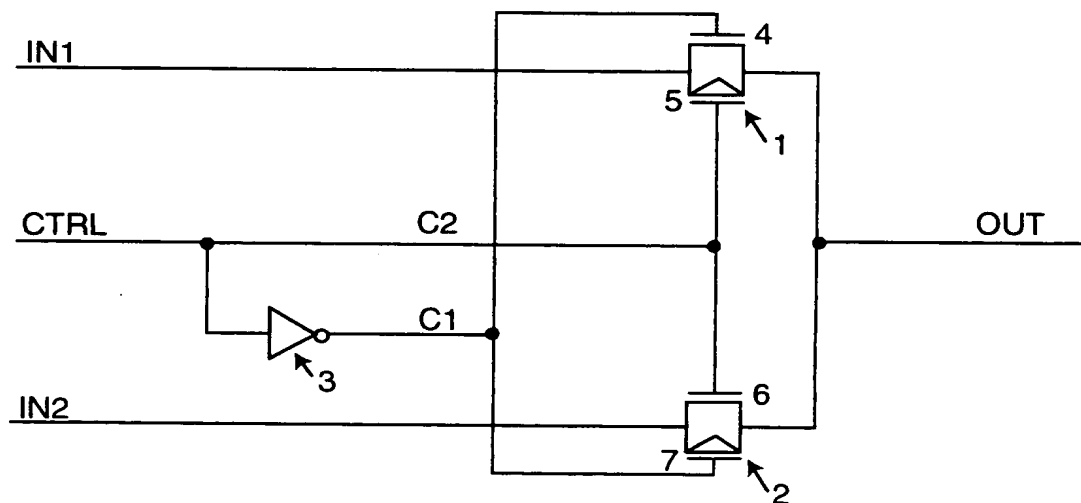


Fig. 3





Creation date: 01-21-2004
Indexing Officer: TDAO - TUAN DAO
Team: OIPEBackFileIndexing
Dossier: 09311118

Legal Date: 10-11-2002

No.	Docode	Number of pages
1	FOR	14
2	FOR	10

Total number of pages: 24

Remarks:

Order of re-scan issued on

